

(54) INSULATED GATE FIELD EFFECT TRANSISTOR, AND ITS SEMICONDUCTOR USING IT, AND ITS MANUFACTURE

(11) 5-206467 (A) (43) 13.8.1993 (19) JP

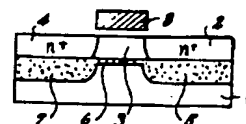
(21) Appl. No. 4-35729 (22) 28.1.1992

(71) CANON INC (72) MAMORU MIYAWAKI

(51) Int. Cl.⁶. H01L29/784, H01L27/12, H01L21/336

PURPOSE: To get a minute, highly integrated, low-parasitic-capacity, high-speed semiconductor device by providing source and drain regions through a channel region inside the single crystal semiconductor layer made on an insulating layer, and thickening them more than the insulating layer right below it and the insulating layer below the channel region.

CONSTITUTION: A first substrate, where a thick oxide film 6 is made in the region to become right below a channel region 3, is manufactured by flattening a first Si single crystal substrate 1, where thick oxide films 5 and 7 are made right below the regions to become source and drain regions 2 and 4, and forming an oxide film in the surface. On the other hand, a second substrate is manufactured by forming an amorphous single crystal Si layer on the second Si single crystal substrate being made porous or forming an insulating layer thereon. Both these substrates are stuck together, and the second Si single crystal substrate is removed by the process including at least wet chemical etching, and a single Si layer is made on the insulating layers being stuck together, thus source and drain regions 2 and 4 are made on the thick selective oxide films 5 and 7.



(54) THIN FILM TRANSISTOR AND ITS MANUFACTURE

(11) 5-206468 (A) (43) 13.8.1993 (19) JP

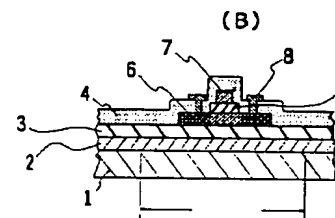
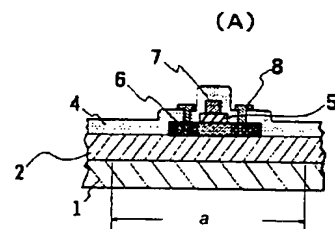
(21) Appl. No. 4-253424 (22) 31.8.1992 (33) JP (31) 91p.246443 (32) 2.9.1991

(71) FUJI XEROX CO LTD (72) SUKEJI KATO(3)

(51) Int. Cl.⁶. H01L29/784, G02F1/136

PURPOSE: To provide a film transistor of structure such that the burning hardly occurs and that the characteristics can be uniformed by lessening the area of an element, and the manufacture of its film transistor at high yield rate.

CONSTITUTION: A thin film transistor is composed of an insulating substrate 1, a heat conductive layer 2, which is made on the insulating substrate 1 and heat conductivity of which is larger than the insulating substrate 1, an island-shaped polycrystalline silicon layer 6 in a semiconductor active area, which is made on the heat conductive layer 2, a gate electrode 7, which is made on the surface of the island-shaped silicon layer through an insulating layer, and a source electrode and a drain electrode, which are made in the island-shaped polycrystalline silicon layer 6 in the semiconductor active area. The heat generated from the island-shaped semiconductor active area or the heat added in manufacture process is dissipated being conducted in the direction parallel with the insulating substrate 1, inside the heat conductive layer 2 made on the insulating substrate 1.



a: heat dissipating area

(54) INSULATED GATE BIPOLAR TRANSISTOR

(11) 5-206469 (A) (43) 13.8.1993 (19) JP

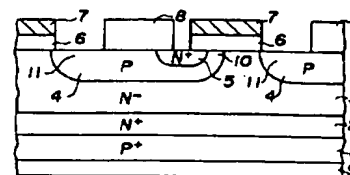
(21) Appl. No. 4-14052 (22) 29.1.1992

(71) HITACHI LTD(1) (72) MASAHITO MIURA(1)

(51) Int. Cl.⁶. H01L29/784

PURPOSE: To improve the short-circuit resistance and the latch-up resistance in an IGPT which has intermittent emitter structure.

CONSTITUTION: In the plan view showing the embodiment, a plurality of N-type emitters 5 are provided intermittently selectively inside a P-type base 4. The gate electrode 7 made in the upper layer between an emitter 5 and an N-epitaxial layer 3 is not made in the section where the N-type emitter 5 is not present. Moreover, an emitter electrode 8 may be formed on a P-type base 4, at a specified interval from the gate electrode 7 made as mentioned above. Accordingly, the saturated current at the short-circuit between a collector and an emitter can be reduced, and besides the latch up critical current can be elevated, whereby the short-circuit resistance and the latch-up resistance of IGBT can be improved.



(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K	H 0 1 L 29/ 78	3 1 1 X
		9056-4M		

審査請求 未請求 請求項の数4(全12頁)

(21)出願番号	特願平4-253424	(71)出願人	000005496 富士ゼロックス株式会社 東京都港区赤坂三丁目3番5号
(22)出願日	平成4年(1992)8月31日	(72)発明者	加藤 典司 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内
(31)優先権主張番号	特願平3-246443	(72)発明者	宮本 育昌 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内
(32)優先日	平3(1991)9月2日	(72)発明者	浅井 市郎 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内
(33)優先権主張国	日本(J P)	(74)代理人	弁理士 南野 貞男 (外3名)

最終頁に続く

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【目的】 素子面積を小さくしても焼損が生じにくく、その特性が均一化できる構造の薄膜トランジスタと、その薄膜トランジスタを歩留まりを高く製造する製造方法を提供する。

【構成】 薄膜トランジスタは、絶縁性基板(1)と、前記絶縁性基板(1)上に形成された熱伝導率が前記絶縁性基板よりも大きな熱導伝層(2)と、前記熱導伝層(2)の上に形成された半導体活性領域の島状多結晶シリコン層(6)と、前記島状多結晶シリコン層の表面に絶縁層を介して形成されたゲート電極(7)と、前記半導体活性領域の島状多結晶シリコン層(6)に形成されたソース電極およびドレイン電極とから構成される。島状半導体活性領域から発生する熱、また、製造工程において加えられる熱は、絶縁性基板(1)上に形成された熱導伝層(2)内を絶縁性基板(1)と平行な方向に伝達されて放熱される。

図1(A)

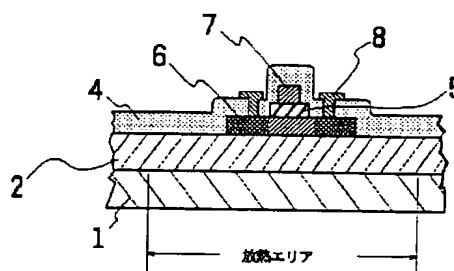
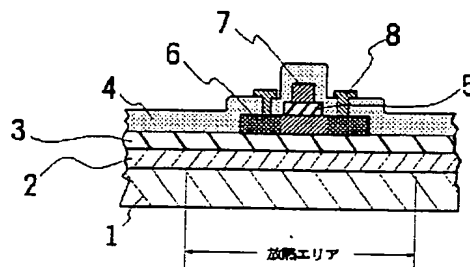


図1(B)



【特許請求の範囲】

【請求項1】 絶縁性基板と、

前記絶縁性基板上に形成された熱伝導率が前記絶縁性基板よりも大きな熱伝導層と、
前記熱伝導層の上に形成された半導体活性領域の島状多結晶シリコン層と、
前記島状多結晶シリコン層の表面に絶縁層を介して形成されたゲート電極と、
前記半導体活性領域の島状多結晶シリコン層に形成されたソース領域およびドレイン領域とから構成されていることを特徴とする薄膜トランジスタ。

【請求項2】 前記熱伝導層と前記半導体活性領域の島状多結晶シリコン層との間に1層以上の絶縁層が存在することを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】 絶縁性基板上に非晶質シリコン層を堆積する工程と、

前記非晶質シリコン層へレーザビームを照射して多結晶シリコン層に再結晶化する工程とを具備する薄膜トランジスタの製造方法において、

多結晶シリコン層に再結晶化する工程の前に、前記絶縁性基板よりも熱伝導率が高い熱伝導層を、前記絶縁性基板と前記非晶質シリコン層との間に形成する工程を具備することを特徴とする薄膜トランジスタの製造方法。

【請求項4】 絶縁性基板上に非晶質シリコン層を堆積する工程と、

前記非晶質シリコン層を加熱して多結晶シリコン層に再結晶化する工程と、

前記多結晶シリコン層に不純物をドーブし、ソース領域およびドレイン領域を形成し、該ソース領域およびドレイン領域を島状多結晶シリコン層に導入された不純物のレーザアニールにより活性化する工程とを具備する薄膜トランジスタの製造方法において、

レーザアニールにより活性化する工程の前に、前記絶縁性基板よりも熱伝導率が高い熱伝導層を、前記絶縁性基板と前記非晶質シリコン層との間に形成する工程を具備することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタおよびその製造方法に関し、特に、液晶ディスプレイ等の製造に応用される薄膜トランジスタであって、焼損が生じにくく、その特性が均一化できる構造の薄膜トランジスタと、その薄膜トランジスタを歩留まりを高く製造するための製造方法に関するものである。

【0002】

【従来の技術】近年、液晶ディスプレイの大型化に伴い、表示応答性のよい薄膜トランジスタを用いたアクティブマトリックス方式による駆動デバイスが開発されている。アクティブマトリックス方式の液晶ディスプレイ

では、液晶ディスプレイの各画素毎に駆動用トランジスタを形成する必要があるが、この駆動用トランジスタとして高速で動作することのできる多結晶シリコンを用いた薄膜トランジスタの使用が望まれる。また、薄膜トランジスタを形成する絶縁性基板材としては、コスト面からガラス基板の使用が望まれるので、ガラス基板の上に歩留まり良く、薄膜トランジスタを作製する技術の確立が望まれる。

【0003】従来における薄膜トランジスタの構造を、まず説明する。図4は従来における多結晶シリコンの薄膜トランジスタの構造の一例を示す断面図である。図4に示すように、薄膜トランジスタの基本構造は、一つの絶縁基板11上に形成された多結晶シリコンの島状の半導体活性領域16の表面にゲート絶縁膜15を介してクロスオーバー状にゲート電極17が形成された構造となっている。

【0004】このような薄膜トランジスタの基本構造では、ガラスあるいは石英などの基板材からなる絶縁基板11上に多結晶シリコンの島状の半導体活性領域（以下、ポリ・シリコン・アイランドと称する）16が形成され、このポリ・シリコン・アイランド16を基本セルとしてゲート電極、ソース電極およびドレイン電極が接続されてトランジスタが構成される。

【0005】ポリ・シリコン・アイランド16の形成は、周知のリソグラフィ技術により行われ、このポリ・シリコン・アイランド16の上にゲート絶縁膜15が形成される。ゲート絶縁膜15としては例えばシリコン酸化膜が使用される。ゲート絶縁膜15の更に上にゲート電極17として、前記ゲート絶縁膜15を介して前記ポリ・シリコン・アイランドをクロスオーバーするように、例えば多結晶シリコンのゲート層を配置して、ゲート電極17を形成する。

【0006】次に、ポリ・シリコン・アイランドにおけるソース領域およびドレイン領域の形成のため、ゲート電極17をマスクとして、イオン注入を行い、ソース領域およびドレイン領域を、ポリ・シリコン・アイランド幅にそれぞれ形成する。その後、ポリ・シリコン・アイランド16、ゲート絶縁膜15、およびゲート電極

（ポリ・シリコン層）17を層間絶縁膜14によって全て覆い、層間絶縁膜14に各電極の配線を行うためのコンタクトホールを開け、当該コンタクトホールに例えばアルミ・シリコン等からなる導電材により配線18を各電極に接続する。なお、層間絶縁膜14には、ゲート絶縁膜15と同様に、例えばシリコン酸化膜が使用される。各電極の配線を行うためのコンタクトホールの形成は、前記同様に周知のリソグラフィ技術によって行われる。

【0007】近年、紫外光パルスレーザのエキシマレーザが利用できるようになったため、非晶質シリコン薄膜が紫外光を良く吸収する特性を有することを利用して、

ガラス基板上に多結晶薄膜トランジスタを作製する研究が盛んに行なわれている。これは、紫外光パルスレーザのエキシマレーザを用いて、非晶質シリコン薄膜にレーザアニールを行うことにより、非晶質シリコンを多結晶化して、多結晶シリコン薄膜を容易に形成できるようになったためである。

【0008】このようなレーザアニールを利用した薄膜トランジスタの製造方法の概略を次に説明する。図5～図11は、従来におけるレーザアニールを利用した薄膜トランジスタの製造方法を各工程毎に順に示す説明図である。まず、図5に示すように、ガラス基板51上に非晶質シリコン層52を堆積し、これにレーザビームを照射してレーザアニールを行う。レーザビームを一定時間照射すると、図6に示すように、非晶質シリコン層52が多結晶シリコン層53に再結晶化し、ガラス基板上51に多結晶シリコン層53を形成できる。

【0009】次に、多結晶シリコン層53を島状にパターンニングしてから、図7に示すように、ゲート絶縁膜54とゲート材料55を堆積する。そして、次に、図8に示すように、ゲート材料55をパターンニングして、ゲート電極56を形成する。多結晶シリコン層53を半導体活性領域として、ソース領域およびドレイン領域を形成するため、図9に示すように、ゲート電極56をマスクとして多結晶シリコン層53に不純物を導入して、ソース・ドレイン領域を形成する。そして、図10に示すように、全体を覆うように、層間絶縁膜57を堆積してから、各電極からの配線を行うため、開口部58を形成する。そして、形成した開口部58に対して、電極配線59を形成し、最終的に、図11に示すような薄膜トランジスタを形成する。

【0010】ところで、図4および図11に示すような薄膜トランジスタの構造において、ガラスあるいは石英からなる絶縁性基板11上に設けられた薄膜トランジスタの放熱性は非常に悪い。例えば、絶縁性基板11としてガラス板を用いる場合、その熱伝導率が $0.014 \text{ w/cm} \cdot \text{deg}$ であり、シリコン単結晶基板等と比べて2けたも低い。そのため、薄膜トランジスタは、動作時に発生する熱の放熱効率が悪く、薄膜トランジスタの素子温度の上昇による特性劣化や素子自体の焼損を招く恐れがあるという問題を有している。

【0011】具体例で説明すると、実際に、チャネル幅が $50 \mu\text{m}$ で、チャネル長が $10 \mu\text{m}$ のn型の薄膜トランジスタを形成し、当該薄膜トランジスタを 40 mW で9時間駆動させた場合に、チャネルの温度は約 200°C の上昇を示し、閾値電圧が約 3 v 劣化する特性変化が見られた。

【0012】また、熱の放熱効率は、アイソレーションされた素子部分の放熱面積が小さいほど悪く、例えば、図4に示すような構造の場合、半導体活性領域16の活性層から絶縁性基板11を通して放熱されることになる

が、この部分の面積、すなわち、半導体活性領域となっている部分の面積が小さい薄膜トランジスタは、放熱エリアが小さく、放熱性が悪い。このため、小さな消費電力で焼損が起きるという問題を有している。

【0013】このような問題に対して、半導体集積回路装置の設計においては、放熱効率を考慮した設計が行なわれる。例えば、半導体集積回路装置の放熱効率を向上させる技術として、特開平2-244738号公報に記載の技術が挙げられる。同公報には、単結晶珪素基板と半導体活性層との間に結晶性絶縁膜を形成し、放熱効率を向上させる技術が提案されている。ここで提案されている技術は、シリコン単結晶基板上に酸化珪素膜(SiO_2 膜)を介して半導体素子を形成した場合、基板として熱伝導性のよいシリコン単結晶基板を用いているが、ここでの酸化珪素膜が半導体素子で発生した熱を基板に逃がすのを妨げるので、酸化珪素膜に替えて、基板の熱伝導率に近い(基板の熱伝導率よりも小さい)熱伝導率の結晶性絶縁膜を形成し、放熱効率を向上させている。

【0014】

20 【発明が解決しようとする課題】前述のように、ガラスあるいは石英からなる絶縁性基板上に設けられた薄膜トランジスタの放熱性は非常に悪く、例えば、ガラス基板の熱伝導率が $0.014 \text{ w/cm} \cdot \text{deg}$ であり、シリコン基板等と比べて熱伝導率が2桁も低い。そのため、ガラス基板上に形成された薄膜トランジスタは、動作時に発生する熱の放熱効率が悪く、薄膜トランジスタの素子温度の上昇や素子自体の焼損を招く恐れがあるという問題を有している。また、薄膜トランジスタを液晶ディスプレイの駆動デバイスとして応用する場合、ディスプレイの解像度を向上させるため、薄膜トランジスタ自体を小さく形成することが所望されるが、この場合、薄膜トランジスタの大きさを小さくするほど放熱効率が悪くなり、素子自体の焼損を招く、このため、素子の微細化が十分に行えず、液晶ディスプレイの解像度を向上させることができないという問題がある。

30 【0015】また、従来の図5～図11に示すような薄膜トランジスタの製造方法においては、製造工程における熱ストレス、歪に対する配慮がなされておらず、次のような問題点も存在している。すなわち、熱伝導率が大きくないガラス基板51上に直接に非晶質シリコン層52を堆積し、これにレーザビームで照射して多結晶化し、多結晶シリコン層53を形成するが、この際、レーザビームのスポット面内での熱の分布がスポット中央部および端部で高くなるため、溶融したシリコンの冷却温度に不均一が生じ、その結果として、均質な多結晶シリコン層53を得ることができないという問題である。

40 【0016】また、非晶質シリコン層を島状にパターンニングした後、レーザアニールを行う場合には、島状の非晶質シリコン層の周辺部はシリコン酸化膜などの熱伝導率の低い絶縁層と接しているために、熱が逃げにく

く、熱分布の不均一の生じ、冷却速度の不均一が生じる。このため、均質な多結晶シリコンを作成できないという問題点もある。

【0017】更に、また、ガラス基板51の温度上昇変化による伸縮により、多結晶シリコン層53に熱ストレスがかかり、シリコン層の膜質を劣化させるという問題点も存在している。特に、ソース・ドレイン領域に導入された不純物の活性化のためにレーザアニールを用いる場合にも、島状の多結晶シリコンの周辺部で熱が逃げにくいことから熱の集中が起こり、均一なソース・ドレイン領域を形成することができないという問題点がある。

【0018】本発明は、上記のような問題を解決するためになされたものであり、本発明の第1の目的は、素子面積を小さくしても焼損が生じにくく、その特性が均一化できる構造の薄膜トランジスタを提供することにある。また、本発明の第2の目的は、製造工程における熱分布を均一化し、熱ストレス、歪の影響を受けることなく、薄膜トランジスタを歩留まりを高く製造するための製造方法を提供することにある。更に、本発明の第3の目的は、液晶ディスプレイ等の製造に応用される微細な構造の薄膜トランジスタの歩留まりを高く製造するため改良技術を提供することにある。

【0019】

【課題を解決するための手段】前記のような目的を達成するため、本発明の第1の特徴による薄膜トランジスタは、絶縁性基板(1)と、前記絶縁性基板(1)上に形成された熱伝導率が前記絶縁性基板よりも大きな熱伝導層(2)と、前記熱伝導層(2)の上に形成された半導体活性領域の島状多結晶シリコン層(6)と、前記島状多結晶シリコン層の表面に絶縁層を介して形成されたゲート電極(7)と、前記半導体活性領域の島状多結晶シリコン層(6)に形成されたソース電極およびドレイン電極とから構成されていることを特徴とする。

【0020】また、本発明の第2の特徴による薄膜トランジスタの構造では、前記熱伝導層と前記半導体活性領域の島状多結晶シリコン層との間に1層以上の絶縁層を存在させることを特徴とする。

【0021】本発明の第3の特徴による薄膜トランジスタの製造方法では、絶縁性基板上に非晶質シリコン層を堆積する工程と、前記非晶質シリコン層へレーザビームを照射して多結晶シリコン層に再結晶化する工程とを具備する薄膜トランジスタの製造方法において、多結晶シリコン層に再結晶化する工程の前に、前記絶縁性基板よりも熱伝導率の大きい熱伝導層を、前記絶縁性基板と前記非晶質シリコン層との間に形成する工程を具備することを特徴とする。

【0022】更に、本発明の第4の特徴による薄膜トランジスタの製造方法では、絶縁性基板上に非晶質シリコン層を堆積する工程と、前記非晶質シリコン層を加熱して多結晶シリコン層に再結晶化する工程と、前記多結晶

シリコン層に導入された不純物をドーブし、ソース領域およびドレイン領域を形成し、該ソース領域およびドレイン領域を島状多結晶シリコン層に導入された不純物のレーザアニールにより活性化する工程とを具備する薄膜トランジスタの製造方法において、レーザアニールにより活性化する工程の前に、前記絶縁性基板よりも熱伝導率の大きい熱伝導層を、前記絶縁性基板と前記非晶質シリコン層との間に形成する工程を具備することを特徴とする。

10 【0023】

【作用】本発明の第1の特徴による薄膜トランジスタにおいては、絶縁性基板(1)上に熱伝導率の大きな熱伝導層(2)を形成して、当該熱伝導層の上に半導体活性領域の島状多結晶シリコン層からなる薄膜トランジスタを形成する。このように形成された構造の薄膜トランジスタからの動作時における放熱は、半導体活性領域の島状多結晶シリコン層の直下の部分からだけでなく、熱伝導層(2)の膜の中を絶縁基板と平行に伝わって放熱する。このため、熱伝導率の高い熱伝導層(2)の膜を介して伝達する分だけ、放熱面積が大きくなり、従来の薄膜トランジスタに比較して放熱特性が向上する。また、焼損が焼損が生じにくく、動作時に局部的に高温となることがなく、特性が均一化する。

20 【0024】また、本発明の第2の特徴による薄膜トランジスタの構造においては、必要に応じて、前記熱伝導層と前記半導体活性領域の島状多結晶シリコン層との間に1層以上の絶縁層が存在する構造とする。この構造によれば、熱伝導層と多結晶シリコン層との間に絶縁層を介した構造となるので、放熱に関しては絶縁層を介した1層分だけ劣るものの、熱伝導層の材質によってはそれが不純物として多結晶シリコン層に拡散してくる可能性があるため、この不純物の拡散を防止することができ、熱伝導層として使用できる材料の選択範囲が広がる。また、絶縁層を薄く形成すれば、熱抵抗はそれほど大きくならず、十分な放熱効果を確保できる。

30 【0025】本発明の第3の特徴による薄膜トランジスタの製造方法では、絶縁性基板上に非晶質シリコン層を堆積する工程と、前記非晶質シリコン層へレーザビームを照射して多結晶シリコン層に再結晶化する工程とを含んで薄膜トランジスタを製造する場合、非晶質シリコン層を多結晶シリコン層に再結晶化する工程の前に、絶縁性基板よりも熱伝導率の大きい熱伝導層を前記絶縁性基板と前記非晶質シリコン層との間に形成する工程を行う。このように、ここでの製造方法においては、多結晶シリコン層の再結晶化のため加熱する前の工程において、熱伝導層を形成しておくので、この熱伝導層により、熱分布が均一化し、冷却速度が均一化し、均質な多結晶シリコンを作成できる。また、熱分布の不均一による熱ストレス、歪み等を押えることができる。

40 【0026】また、ここでの薄膜トランジスタの製造方

法においては、絶縁性基板上に熱伝導率が前記絶縁性基板よりも大きな熱伝導層を形成するので、後に続く薄膜トランジスタを製造する各工程において、熱ストレスおよび熱歪などが抑えられ、レーザアニールを行う場合にも、熱伝導層の膜を介して放熱が行なわれるので、局部的に熱がこもることがない。また、熱伝導層の膜を介してレーザビームのスポット内での温度差を緩和することができ、均質な多結晶シリコン層を形成することができる。このため、作製した薄膜トランジスタの特性が向上する。

【0027】本発明の第4の特徴による薄膜トランジスタの製造方法では、絶縁性基板上に非晶質シリコン層を堆積する工程と、前記非晶質シリコン層を加熱して多結晶シリコン層に再結晶化する工程と、前記多結晶シリコン層に導入された不純物をドーブし、ソース領域およびドレイン領域を形成し、該ソース領域およびドレイン領域を島状多結晶シリコン層に導入された不純物のレーザアニールにより活性化する工程とを含んで薄膜トランジスタを製造する場合に、レーザアニールにより活性化する工程の前に、前記絶縁性基板よりも熱伝導率が高い熱伝導層を前記絶縁性基板と前記非晶質シリコン層との間に形成する。

【0028】このように、ソース領域およびドレイン領域の活性化のためレーザアニールを行う前に、熱伝導層を形成しておくので、レーザアニールでレーザを照射した際にも、熱伝導層によりレーザビームのスポット内での温度差を緩和することができ、例えば、島状多結晶シリコン層の端部での熱伝導率の違いによる熱の集中を避けることができる。このため、均質なソース領域およびドレイン領域を作成することができ、作成した薄膜トランジスタの特性が向上し、更には均一な画素特性を持った液晶ディスプレイデバイスを製造することができる。

【0029】

【実施例】以下、本発明の実施例を図面を用いて具体的に説明する。図1は本発明の一実施例にかかる薄膜トランジスタの構造を説明する断面図である。図1(A)に本発明の第1の特徴による薄膜トランジスタの構造の断面図を示し、図1(B)に本発明の第2の特徴による薄膜トランジスタの構造の断面図を示している。ここでの薄膜トランジスタの構造では、基本的には、図1(A)に示すように、ガラスあるいは石英等の絶縁性材料からなる絶縁性基板1のすぐ上に熱伝導率の高い熱導伝層2を設けて、薄膜トランジスタを構成している。この熱導伝層2としては、例えば、熱伝導率が高く、十分に絶縁耐力のあるダイヤモンド膜(熱伝導率 $k=6.6\text{ w/cm}\cdot\text{d eg}$, 体積抵抗率 $\rho=5\times 10^{10}\Omega\cdot\text{cm}$)が用いられる。

この熱導伝層2の上に、薄膜トランジスタの半導体活性領域となる活性層6を、多結晶シリコンにより形成して、更にその上にゲート絶縁膜5およびゲート電極7を形成する。更に、その上から薄膜トランジスタの全体を

覆うように層間絶縁膜4を形成する。薄膜トランジスタの電氣的配線を行うため、層間絶縁膜4の所定部分にコンタクトホールが設けられ、そのアルニウムなどで配線8を行い、薄膜トランジスタが完成される。

【0030】基板上に作成した半導体活性領域となる活性層6の保護のため、全体を覆うように形成され層間絶縁膜4の熱抵抗は比較的に高く、この薄膜トランジスタの動作時に、活性層6から発生した熱は、熱伝導率の高い熱導伝層2を介して絶縁性基板1上に拡散されて放熱される。この熱導伝層2は、絶縁基板1よりも熱伝導率が高いため、主に絶縁性基板1と平行な方向へ熱が伝導する。その後、熱は絶縁性基板1へ放出されるが、熱が熱導伝層2の中を絶縁基板1と平行に伝達された分、放出される部分の面積が広げられる。

【0031】ところで、この薄膜トランジスタの構造では、ガラスあるいは石英等の絶縁性材料からなる絶縁性基板1のすぐ上に熱伝導率の高い熱導伝層2を設けて、薄膜トランジスタを構成するが、熱導伝層2としては、熱伝導率が比較的に高く、しかも膜を形成し易い、アモルファス・シリコンを用いる場合、アモルファス・シリコンの膜では、十分な絶縁抵抗率が得られないため、図1(B)に示すような構造として、熱導伝層2の上に絶縁抵抗率の高いシリコン酸化膜(SiO_x)等の絶縁膜3を形成する。絶縁膜3は、熱伝導率が低くても十分に絶縁耐力を得て熱が十分に伝導する程度の厚さに形成する。そして、更に絶縁膜3上に薄膜トランジスタの半導体活性領域となる活性層6を形成し、ゲート絶縁膜5およびゲート電極7を形成して薄膜トランジスタを形成する。

【0032】この場合の薄膜トランジスタの構造では、その動作時に、活性層6から発生した熱は、絶縁膜3を通して熱伝導率の高い熱導伝層2のアモルファス・シリコン膜に達する。このアモルファス・シリコン膜は、絶縁基板1よりも熱伝導率が高いため、主に絶縁性基板1と平行な方向へ熱が伝導し、その後、熱は絶縁性基板1へ放出される。熱が熱導伝層2のアモルファス・シリコン膜内を絶縁基板1と平行に伝達された分、放熱される部分の面積が広がる効果がある。図1(A)の構造の薄膜トランジスタの構造と比べて、図1(B)の構造の薄膜トランジスタの構造では、熱伝導層2と半導体活性領域となる活性層6との間に絶縁層を介した構造となるので、放熱に関しては絶縁層3を介した1層分だけ劣るものの、熱伝導層の材質によってはそれが不純物として多結晶シリコン層に拡散してくる可能性があるが、この不純物の拡散を防止することができる。このため、熱伝導層として使用できる材料の選択範囲が広がる。この場合、絶縁層3を薄く形成すれば、熱抵抗はそれほど小さくならず、十分な放熱効果を確保できる。

【0033】このようにため、図1(A)および図1(B)に示すような薄膜トランジスタの構造では、活性

層6からの放熱エリアが、従来例と比べて大きくなり、熱放出の効率が改善されることになる。また、熱伝導層2の膜厚は、厚いほど熱放出の効率はよくなるが、絶縁性基板1との熱膨張率の違いから来るストレスを考慮して、 $10\mu\text{m}$ 以下の膜厚とするのが望ましい。また、熱伝導層2として、絶縁性の優れた膜（ダイヤモンド膜など）を使用すれば、図1（A）に示すような構造となり、絶縁膜3を設けなくても良いため、製造プロセスが簡便となる。また、扱いが容易で、熱伝導率が比較的に高い、アモルファス・シリコン膜を用いる場合には、図1（B）に示すような構造となり、絶縁膜3を設ける構造となるが、いずれの構造によっても、熱伝導層2が設けられることにより、熱ストレスを減少できると共に、熱伝導層2の膜厚分と熱伝導層2による熱活性の減少により絶縁性基板1に含まれている不純物が活性層6に侵入するのを防止する。

【0034】次に、このような薄膜トランジスタを製造する製造方法を説明する。図2は本発明にかかる薄膜トランジスタの製造方法の第1の実施例による製造工程を各工程毎に説明する図である。ここでは、図1（B）に示す構造の薄膜トランジスタを製造する場合を例として説明する。なお、図1（A）に示す構造の薄膜トランジスタを製造する場合には絶縁層3を形成する工程を省いた製造工程となる。

【0035】先ず、図2（A）に示すように、ガラスあるいは石英などの絶縁材料からなる絶縁性基板1上に熱伝導層2として、CVD法により熱伝導率の高い材料の例えばアモルファス・シリコン、またはポリ・シリコン等の膜を約 $10\mu\text{m}$ の厚さで着膜する。ここでは、熱伝導層2として、アモルファス・シリコンまたはポリ・シリコン等を用いるため、その絶縁耐力を十分として、しかも絶縁性基板1と熱伝導層2からの不純物の拡散による薄膜トランジスタの活性層6の性能劣化を防ぐため、熱伝導層2のアモルファス・シリコン膜の上に、 $1000\sim 4000\text{\AA}$ のシリコン酸化膜（ SiO_2 ）からなる絶縁膜3を形成する。次に、絶縁膜3の上に薄膜トランジスタの活性層6として、例えば、アモルファス・シリコン膜を 1000\AA の厚さで形成する。その後、アモルファス・シリコン膜は、アニールを行いポリ・シリコンとする。なお、ここでのソース領域およびドレイン領域となる活性層6の形成は、例えば、エキシマレーザを用いたレーザアニールにより行い、ポリ・シリコンとすることもできる。

【0036】活性層6は、リソグラフィ技術によってパターンニングした後、図2（B）に示すように、更にその上にゲート絶縁膜5を 1000\AA の厚さで形成する。このゲート絶縁膜5の上には、更にゲート電極材料を 3000\AA の厚さに形成する。次に、パターンニングしてゲート電極7を形成した後、ゲート電極7をマスクとして、活性層6にB+ またはP+ をイオン注入し、ソース

領域およびドレイン領域を形成する。

【0037】そして、最後に、図2（C）に示すように、層間絶縁膜4を 8000\AA の厚さに形成し、層間絶縁膜4の所定位置にリソグラフィ技術により、コンタクトホール（開口部）を形成し、このコンタクトホールに導電材料を堆積してソース領域およびドレイン領域から配線8によって電極を引き出す。

【0038】図3は薄膜トランジスタが動作中のジュール熱によって焼損する場合の消費電力と素子面積と関係の本発明と従来例と比較のために示すグラフである。このグラフは、薄膜トランジスタの素子面積と、薄膜トランジスタの焼損が発生する消費電力（mW）との関係を示す実験データを基にして表している。図3から理解されるように、本発明による構造を持つ薄膜トランジスタの放熱効率は、従来例より明らかに改善され、従来例に示すものより十分に焼損に耐えられるように消費電力値が向上している。

【0039】ここでの製造方法のプロセスの実施例で説明したように、薄膜トランジスタの放熱効率を改善するため、熱伝導層2として熱伝導率の高いアモルファス・シリコンまたはポリ・シリコン膜を用いる場合については、熱伝導層2が十分な絶縁性部材でないため、薄膜トランジスタを形成する基部の絶縁性を確保する絶縁層を設ける。このため、薄膜トランジスタは、図1（B）により説明したような構造を取り、アモルファス・シリコンやポリ・シリコン膜の熱伝導層2の上に、更に、絶縁膜3を形成することを必要とする。しかし、熱伝導層2として、熱伝導率が高く、かつ絶縁性のある材料を用いる場合には、図1（A）により説明したような構造をとることができ、製造プロセスは絶縁層3を形成しない分だけ簡略化される。このような熱伝導率が高く、かつ絶縁性である絶縁性材料としては、ダイヤモンド膜（熱伝導率 $k=6.6\text{ w/cm}\cdot\text{deg}$ ，体積抵抗率 $\rho=5\times 10^{10}\Omega\cdot\text{cm}$ ），酸化アルニウム膜（ Al_2O_3 膜：熱伝導率 $k=0.26\text{ w/cm}\cdot\text{deg}$ ，体積抵抗率 $\rho=10^{10}\sim 10^{12}\Omega\cdot\text{cm}$ ），または酸化チタン膜（ TiO_2 膜：熱伝導率 $k=0.12\text{ w/cm}\cdot\text{deg}$ ，体積抵抗率 $\rho=10^{10}\sim 10^{12}\Omega\cdot\text{cm}$ ）等を用いることができる。

【0040】次に薄膜トランジスタの製造方法の第2の実施例として、薄膜トランジスタの製造方法の第1の実施例における薄膜トランジスタの熱伝導層2および絶縁膜3に替えて、熱伝導率が高い絶縁層（例えば、ダイヤモンド薄膜等）を用いて薄膜トランジスタを製造する場合の実施例を説明する。図12～図18は、それぞれ本発明の薄膜トランジスタの製造方法の第2の実施例による各々の工程を順に説明する図である。

【0041】まず、図12に示すように、絶縁性基板としてのガラス基板61上に熱伝導率が大きな絶縁層のダイヤモンド薄膜62を、ECR・CVD装置により堆積させた後に、その上に非晶質シリコン層63を堆積す

る。ここでのガラス基板61の熱伝導率は、 $k=0.014\text{ W/cm}\cdot\text{deg}$ であり、ダイヤモンド薄膜62の熱伝導率は $k=6.6\text{ W/cm}\cdot\text{deg}$ であり、ガラス基板61よりも十分に大きな熱伝導率を有している。また、体積抵抗率も $\rho=5\times 10^{14}\text{ }\Omega\cdot\text{cm}$ と高く、十分な絶縁耐力を有している。この実施例におけるダイヤモンド薄膜62を堆積する場合の条件は、例えば、ECR・CVD装置により堆積を行う場合、雰囲気条件($\text{CH}_4/\text{H}_2=1\%$, 0.1 Torr , 500°C)の雰囲気にて堆積を行う。

【0042】このような堆積を行うことにより、厚さ $1\text{ }\mu\text{m}$ にダイヤモンド薄膜62を堆積できる。次に、ダイヤモンド薄膜62の上に非晶質シリコン層63をLPCVD装置により厚さ $1000\text{ }\text{\AA}$ を堆積する。これにより、ガラス基板61上に熱伝導率の大きな絶縁層のダイヤモンド薄膜62が堆積され、更にその上に、非晶質シリコン層63を堆積された状態となる。

【0043】次に、非晶質シリコン層63に対して、KrFエキシマレーザ(450 mJ/cm^2)によりアニールして、図13に示すように、非晶質シリコン層63を多結晶シリコン層64に再結晶化する。この工程において、エキシマレーザにより溶融した非晶質シリコン層63が多結晶シリコン層64に再結晶化する際の熱の流れは、熱伝導率の低い非晶質シリコン層63ではなく、主に熱伝導率の良いダイヤモンド薄膜62に向かう。ダイヤモンド薄膜62は熱伝導性が高いことから、レーザスポット内の熱分布は均一化する。このため、ダイヤモンド薄膜62と溶融した非晶質シリコン層63との界面の温度が均一化し、熱ストレスが生じることはない。また、冷却過程においても、溶融した非晶質シリコン層63の冷却速度が均一化し、その結果として均一な多結晶シリコン層64が形成される。

【0044】次に、多結晶シリコン層64を薄膜トランジスタの半導体活性領域とするため島状にパターニングして、図14に示すように、ゲート絶縁膜65およびゲート材料66を堆積する。この例では、ゲート絶縁膜65としてはECR・CVD装置により二酸化シリコンを $1000\text{ }\text{\AA}$ 堆積し、ゲート材料66としてはLPCVD装置により非晶質シリコンを $3000\text{ }\text{\AA}$ 堆積する。そして、前述の同様に堆積した非晶質シリコン層に対して、KrFエキシマレーザによりアニールして、非晶質シリコン層を多結晶シリコン層に再結晶化して、ゲート材料66とする。

【0045】次に、図15に示すように、ゲート材料66をパターニングして、ゲート電極67を形成し、ゲート電極67が形成された部分以外の多結晶シリコン層64に対してソース・ドレイン領域となる多結晶シリコン層64の領域に当該ゲート電極67をマスクとして不純物を導入して、ソース・ドレイン領域を形成する。これにより、図16に示すように、ガラス基板61の上に熱伝導率の高い絶縁層のダイヤモンド薄膜62が形成さ

れ、更にその上に多結晶シリコン層64の半導体活性領域を有する薄膜トランジスタが形成される。

【0046】次に、図17に示すように、ここで形成された薄膜トランジスタの上から全体を覆うように層間絶縁層68を堆積して、コンタクトホール(開口部)を設け、各々の電極の電氣的接続配線を行う。ここでは、層間絶縁層68としては、ECR・CVD装置により二酸化シリコンを $7000\text{ }\text{\AA}$ 堆積して形成した後、ソース電極、ドレイン電極、およびゲート電極から電氣的接続配線を引き出すため、フォトエッチング等により層間絶縁層68およびゲート絶縁膜65に対して各電極の位置に開口部69を形成する。そして、図18に示すように、形成した開口部69に対して導電材料を堆積し、電氣的接続配線を引き出して、ソース・ドレイン電極配線70、およびゲート電極配線71を形成して、薄膜トランジスタの全体を完成させる。

【0047】図19～図25は、本発明の薄膜トランジスタの製造方法の第3の実施例にかかる各々の工程を順に説明する図である。前述の場合と同様に、図19～図25を参照して順に説明すると、図12～図18で説明した薄膜トランジスタの製造方法と同様に、まず、絶縁性基板としてのガラス基板81上に熱伝導率の大きな絶縁層のダイヤモンド薄膜82をECR・CVD装置により堆積する。次に、非晶質シリコン層83をLPCVD装置により、 $1000\text{ }\text{\AA}$ の厚さで堆積する。これにより、図19に示すように、ガラス基板81上に熱伝導率の大きな絶縁層のダイヤモンド薄膜82が堆積され、更にその上に、非晶質シリコン層83が堆積された状態となる。

【0048】この薄膜トランジスタの製造方法の第3の実施例にかかる工程では、この次の工程において、図20に示すように、非晶質シリコン層83をパターニングによって、島状に残した後に、KrFエキシマレーザ(450 mJ/cm^2)でアニールして、非晶質シリコン層83を多結晶シリコン層84に再結晶化する。この工程においても、前述の図13で説明した製造工程と同様に、エキシマレーザにより溶融した非晶質シリコン層83から熱の流れは、熱伝導率の低い非晶質シリコン層83(多結晶シリコン層84：パターニングされた状態となっており、局部的に不均一な熱分布が生ずる層となる)ではなく、主に熱伝導率の良いダイヤモンド薄膜82に向かい、熱分布は均一化する。このため、ダイヤモンド薄膜82と溶融した非晶質シリコン層83(多結晶シリコン層84)との界面の温度が均一化し、熱ストレスが生じることはない。また、溶融した非晶質シリコン層83(多結晶シリコン層84)の冷却速度も均一化するため、その結果として、均一な多結晶シリコン層84が形成される。

【0049】次に、図21に示すように、先に形成した多結晶シリコン層84を半導体活性領域とし、その上に

ゲート複縁膜を介してゲート電極を形成するため、ゲート絶縁膜85としてECR・CVD装置により二酸化シリコンを1000Å堆積し、更にゲート材料86としてLPCVD装置により非晶質シリコンを3000Å堆積して、ゲート絶縁膜85およびゲート材料86を堆積する。

【0050】そして、次の工程では、図22に示すように、ゲート材料86をパターニングしてゲート電極87を形成した後、ゲート電極87に対応してゲート電極87が形成された部分以外をソース・ドレイン領域とするため、ゲート電極87をマスクとして、多結晶シリコン層84に不純物を導入して半導体活性領域のソース・ドレイン領域を形成する処理を行う。この結果、多結晶シリコン層84は、ソース・ドレイン領域に不純物を有する半導体活性領域の島状多結晶シリコンの活性層（ポリシリコンアイランド）88となる。

【0051】次に、図23に示すように、薄膜トランジスタの特性を向上させる目的で、前の工程で形成されたソース・ドレイン領域となる半導体活性領域を有する活性層88に対して、レーザアニール処理を行い、活性層88に導入された不純物のアニールによりソース・ドレイン領域を活性化処理を行う。この場合、ここでのレーザアニール処理を行う前に、熱伝導層82が既に形成されているので、レーザアニール処理によるレーザを照射した際にも、活性層88における温度分布は、熱伝導層82によりレーザビームのスポット内での温度差を緩和することができ、活性層（ポリシリコンアイランド）88の端部での熱伝導率の違いによる熱の集中を避けることができる。このため、不純物が十分に拡散された均質なソース領域およびドレイン領域を有する活性層88となる。

【0052】次に、図24に示すように、この上から全体を覆うように、層間絶縁層89をECR・CVD装置により二酸化シリコンを7000Å堆積して形成し、ゲート電極、ソース電極およびドレイン電極から配線を行うため、所定位置にコンタクトホール（開口部90）を形成する。このようにして、層間絶縁層88に電極の配線領域となる部分に開口部90を形成すると、次には、図25に示すように、開口部90からソース・ドレイン電極配線91およびゲート電極配線92を形成して、薄膜トランジスタの全体を完成させる。

【0053】上述の説明では、ガラス基板（61，81）上に設ける熱伝導率が大きな絶縁層としては、ダイヤモンド薄膜（62，82）を用いているが、薄膜トランジスタの基台部分となる絶縁性基板よりも大きな熱伝導率を有する絶縁膜であれば良いので、例えば、酸化アルミニウム膜（ Al_2O_3 膜：熱伝導率 $k=0.26\text{ W/cm}\cdot\text{deg}$ ）を用いるようにしても良い。また、ここで形成するダイヤモンド薄膜の膜厚も1μmに限らず、放熱効果を高めるため適当な厚さに形成してもよい。また、薄

膜トランジスタ部分の材料についても、ゲート絶縁膜（65，85），ゲート材料（67，87），層間絶縁膜（68，89）などは、特に、上述したような種類に限られない。また、再結晶化のためのレーザは、XeCl，XeF，ArF，…等のエキシマレーザ、またはArレーザ等のレーザアニールに使用されるものであれば、どのようなレーザでも使用可能である。また、絶縁性基板もガラス基板に限定されるものでない。

【0054】また、薄膜トランジスタを形成する基台部分の絶縁耐力を更に高めるため、ダイヤモンド薄膜（62，82）と多結晶シリコン層（64，88）の間に薄い二酸化シリコン等の絶縁膜を堆積しても良く、この場合も上述と同様な効果が得られることは明らかである。また、多結晶シリコン層（64，88）は上述の実施例に示したLPCVD法によるものに限られず、プラズマCVD法によるものでも良く、ECRプラズマCVD法、スパッタ法、真空蒸着法によるものであっても良く、この場合も同様の効果を奏する。

【0055】

【発明の効果】以上に説明したように、本発明の薄膜トランジスタによれば、その基本構造として絶縁性基板上に熱伝導率の高い膜が設けられており、その上に、薄膜トランジスタを形成しているので、半導体活性領域を小さくでき、その素子面積を小さくしても放熱効率がよく、焼損しない薄膜トランジスタが得られる。また、温度上昇による特性の変動が少ない薄膜トランジスタが得られる。

【0056】また、本発明の薄膜トランジスタの製造方法によれば、レーザアニールなどの局部的に加熱する工程の前において、絶縁性基板上に熱伝導性の良い絶縁層を設けているので、以降の薄膜トランジスタの製造工程においても、余分な熱ストレスを受けることなく、熱放熱が均一化され、均質な多結晶シリコン膜を得ることができる。均質な多結晶シリコン膜による薄膜トランジスタが製造できるので、作成した薄膜トランジスタの特性が向上する。このため、このような薄膜トランジスタを用いることにより、更には均一な画素特性を持った液晶ディスプレイデバイスを製造することができる。また、大面積の液晶ディスプレイ等への応用する際、歩留まりの向上が期待できる。

【図面の簡単な説明】

【図1】 図1は本発明の一実施例にかかる薄膜トランジスタの構造を説明する断面図であり、図1（A）に本発明の第1の特徴による薄膜トランジスタの構造の断面図を示し、図1（B）に本発明の第2の特徴による薄膜トランジスタの構造の断面図を示している。

【図2】 図2は本発明にかかる薄膜トランジスタの製造方法の第1の実施例による製造工程を各工程毎に説明する図、

【図3】 図3は薄膜トランジスタが動作中のジュール

熱によって焼損する場合の消費電力と素子面積と関係をも本発明と従来例と比較のために示すグラフ、

【図4】 図4は従来における多結晶シリコンの薄膜トランジスタの構造の一例を示す断面図、

【図5】 図5は従来におけるレーザアニールを利用した薄膜トランジスタの製造方法を各工程毎に順に示す第1の説明図、

【図6】 図6は従来におけるレーザアニールを利用した薄膜トランジスタの製造方法を各工程毎に順に示す第2の説明図、

【図7】 図7は従来におけるレーザアニールを利用した薄膜トランジスタの製造方法を各工程毎に順に示す第3の説明図、

【図8】 図8は従来におけるレーザアニールを利用した薄膜トランジスタの製造方法を各工程毎に順に示す第4の説明図、

【図9】 図9は従来におけるレーザアニールを利用した薄膜トランジスタの製造方法を各工程毎に順に示す第5の説明図、

【図10】 図10は従来におけるレーザアニールを利用した薄膜トランジスタの製造方法を各工程毎に順に示す第6の説明図、

【図11】 図11は従来におけるレーザアニールを利用した薄膜トランジスタの製造方法を各工程毎に順に示す第7の説明図である。

【図12】 図12は本発明の薄膜トランジスタの製造方法の第2の実施例による各々の工程を順に説明する第1の説明図、

【図13】 図13は本発明の薄膜トランジスタの製造方法の第2の実施例による各々の工程を順に説明する第2の説明図、

【図14】 図14は本発明の薄膜トランジスタの製造方法の第2の実施例による各々の工程を順に説明する第3の説明図、

【図15】 図15は本発明の薄膜トランジスタの製造方法の第2の実施例による各々の工程を順に説明する第4の説明図、

【図16】 図16は本発明の薄膜トランジスタの製造方法の第2の実施例による各々の工程を順に説明する第5の説明図、

【図17】 図17は本発明の薄膜トランジスタの製造方法の第2の実施例による各々の工程を順に説明する第6の説明図、

【図18】 図18は本発明の薄膜トランジスタの製造

方法の第2の実施例による各々の工程を順に説明する第7の説明図である。

【図19】 図19は本発明の薄膜トランジスタの製造方法の第3の実施例にかかる各々の工程を順に説明する第1の説明図、

【図20】 図20は本発明の薄膜トランジスタの製造方法の第3の実施例にかかる各々の工程を順に説明する第2の説明図、

10 【図21】 図21は本発明の薄膜トランジスタの製造方法の第3の実施例にかかる各々の工程を順に説明する第3の説明図、

【図22】 図22は本発明の薄膜トランジスタの製造方法の第3の実施例にかかる各々の工程を順に説明する第4の説明図、

【図23】 図23は本発明の薄膜トランジスタの製造方法の第3の実施例にかかる各々の工程を順に説明する第5の説明図、

20 【図24】 図24は本発明の薄膜トランジスタの製造方法の第3の実施例にかかる各々の工程を順に説明する第6の説明図、

【図25】 図25は本発明の薄膜トランジスタの製造方法の第3の実施例にかかる各々の工程を順に説明する第7の説明図である。

【符号の説明】

1…絶縁性基板、2…熱導伝層、3…絶縁膜、4…層間絶縁膜、5…ゲート絶縁膜、6…活性層、7…ゲート電極、8…配線、11…絶縁基板、14…層間絶縁膜、15…ゲート絶縁膜、16…ポリ・シリコン・アイランド、17…ゲート電極、18…配線、51…ガラス基板、52…非晶質シリコン層、53…多結晶シリコン層、54…ゲート絶縁膜、55…ゲート材料、56…ゲート電極、57…層間絶縁膜、58…開口部、59…電極配線、61…ガラス基板、62…ダイヤモンド薄膜、63…非晶質シリコン層、64…多結晶シリコン層、65…ゲート絶縁膜、66…ゲート材料、67…ゲート電極、68…層間絶縁膜、69…開口部、70…ソース・ドレイン電極配線、71…ゲート電極配線、81…ガラス基板、82…ダイヤモンド薄膜、83…非晶質シリコン層、84…多結晶シリコン層、85…ゲート絶縁膜、86…ゲート材料、87…ゲート電極、88…活性層（ポリシリコンアイランド）、89…層間絶縁膜、90…開口部、91…ソース・ドレイン電極配線、92…ゲート電極配線。

【図1】

図1 (A)

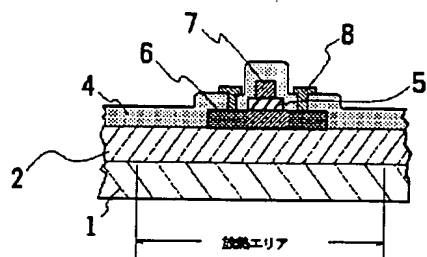
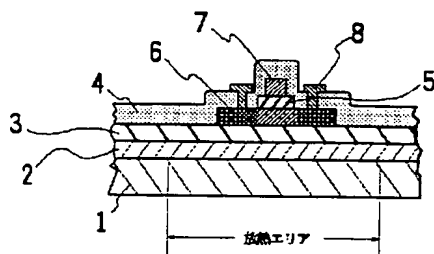
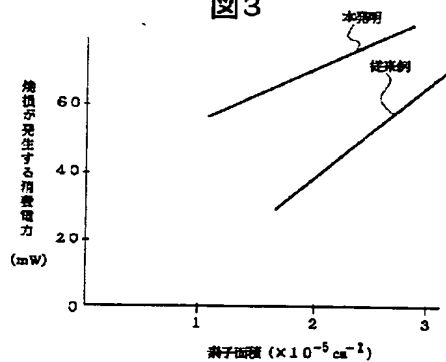


図1 (B)



【図3】

図3



【図7】

図7



【図2】

図2 (A)

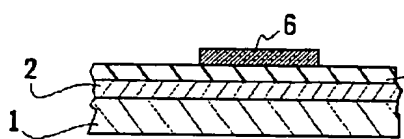


図2 (B)

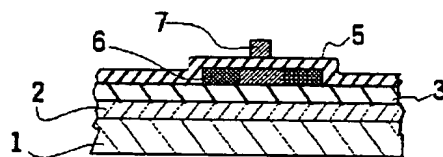
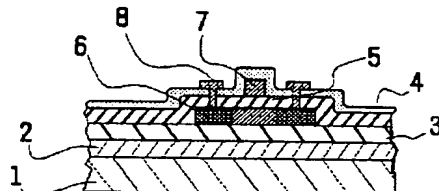
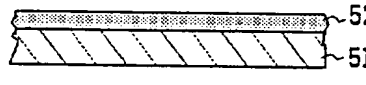


図2 (C)



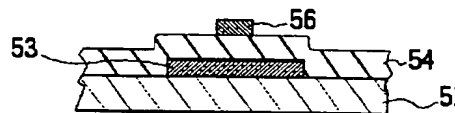
【図5】

図5



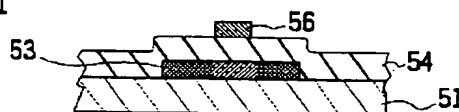
【図8】

図8



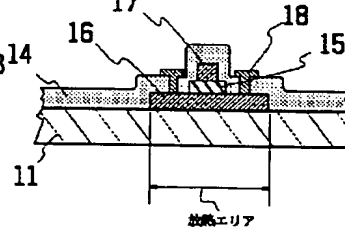
【図9】

図9



【図4】

図4



【図12】

図12



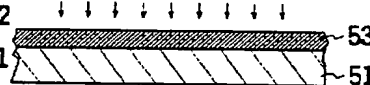
【図19】

図19



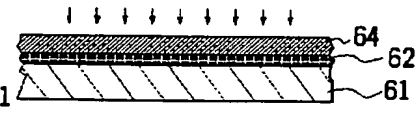
【図6】

図6



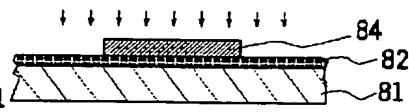
【図13】

図13



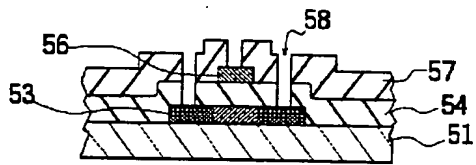
【図20】

図20



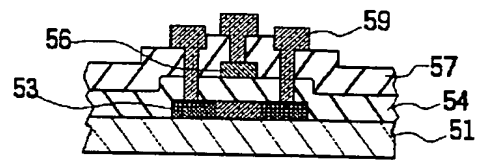
【図10】

図10



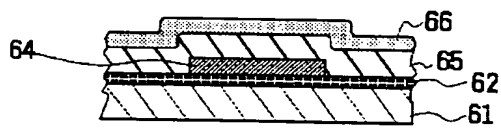
【図11】

図11



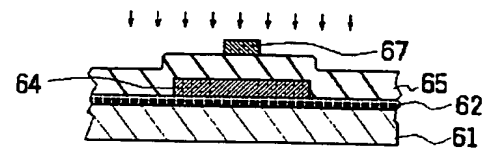
【図14】

図14



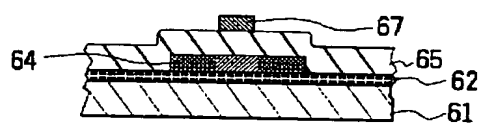
【図15】

図15



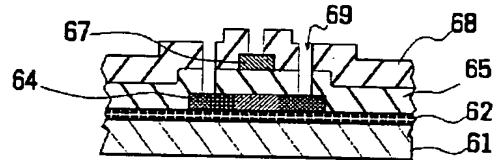
【図16】

図16



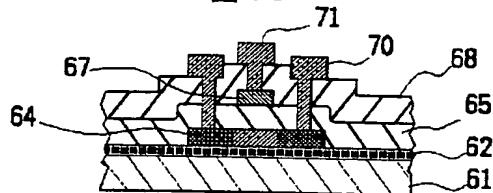
【図17】

図17



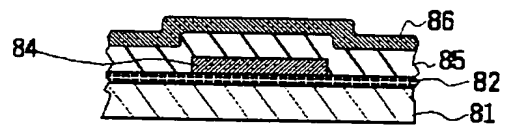
【図18】

図18



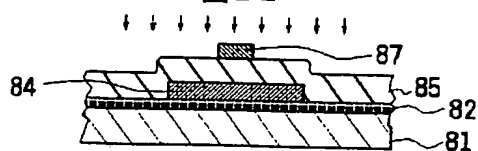
【図21】

図21



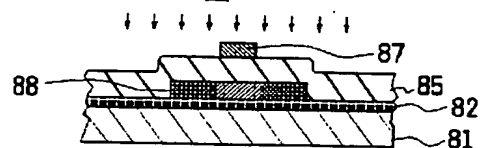
【図22】

図22

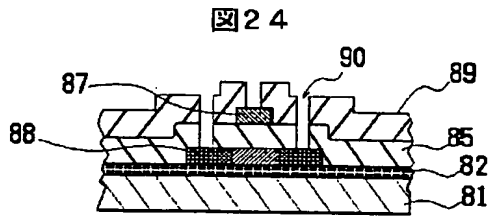


【図23】

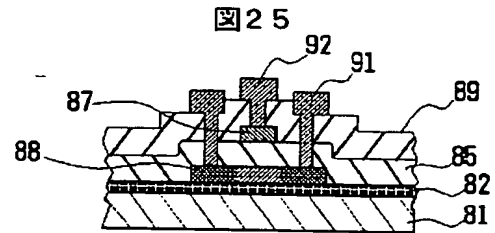
図23



【図 2 4】



【図 2 5】



フロントページの続き

(72)発明者 布施 マリオ
神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内